

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-172189

(43)Date of publication of application : 30.06.1997

(51)Int.Cl.

H01L 29/861
H01L 21/762
H01L 27/12
H01L 29/06

(21)Application number : 09-012727

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.01.1997

(72)Inventor : NAKAGAWA AKIO

(30)Priority

Priority number : 62 43564 Priority date : 26.02.1987 Priority country : JP
62189420 29.07.1987

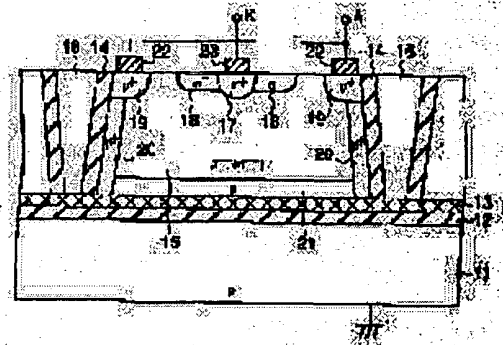
JP

(54) SEMICONDUCTOR SUBSTRATE AND HIGH BREAKDOWN VOLTAGE SEMICONDUCTOR DEVICE USING THE SUBSTRATE

(57)Abstract:

PROBLEM TO BE SOLVED: To make an insulating film to effectively share the voltage exerted on a semiconductor layer by providing a high-resistance film to be formed on the insulating film and a semiconductor layer to be formed on this high-resistance film.

SOLUTION: An insular high-resistance silicon layer 15 isolated from a p+ type silicon substrate 11 by an oxide film 12 and the high-resistance film 13 and horizontally isolated from the other element regions by an oxide film 14 is formed on the p+ type silicon substrate 11. This high-resistance silicon layer 15 is a p-type layer or an n-type layer having a sufficiently low impurity concentration. A polycrystalline silicon film 16 is buried in the element isolation region and an n+ type layer 17 of a high impurity concentration as a cathode layer is formed on the surface central part of the high-resistance silicon layer 15. Thereby, a voltage exerted on a semiconductor layer can be effectively shared so as to facilitate an improvement of breakdown voltage of the semiconductor device and separation of a dielectric.



LEGAL STATUS

[Date of request for examination] 27.01.1997

[Date of sending the examiner's decision of rejection] 12.05.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2860089

[Date of registration] 04.12.1998

[Number of appeal against examiner's decision of rejection] 10-08857

[Date of requesting appeal against examiner's decision of rejection] 11.06.1998

[Date of extinction of right]

(19) 日本国特許庁 (J.P.)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-172189

(43) 公開日 平成9年(1997)6月30日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	29/861		H 0 1 L 29/91	D
	21/762		27/12	Z
	27/12		29/06	
	29/06		21/76	D

審査請求 有 発明の数 1 O L (全 6 頁)

(21) 出願番号 特願平9-12727
 (62) 分割の表示 特願昭62-293456の分割
 (22) 出願日 昭和62年(1987)11月20日

(31) 優先権主張番号 特願昭62-43564
 (32) 優先日 昭62(1987)2月28日
 (33) 優先権主張国 日本 (J P)
 (31) 優先権主張番号 特願昭62-189420
 (32) 優先日 昭62(1987)7月29日
 (33) 優先権主張国 日本 (J P)

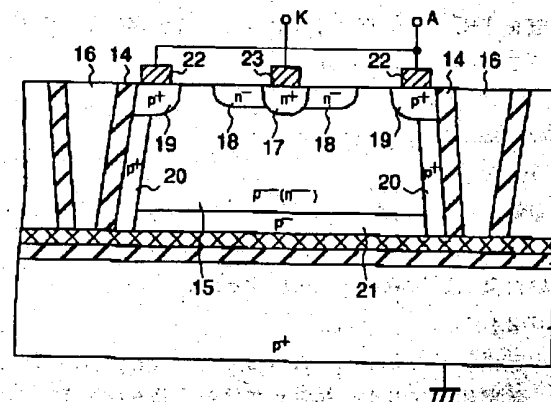
(71) 出願人 000003078
 株式会社東芝
 神奈川県川崎市幸区堀川町72番地
 (72) 発明者 中川 明夫
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝総合研究所内
 (74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体基板およびそれを用いた高耐圧半導体素子

(57) 【要約】

【課題】 高耐圧ダイオードの耐圧の改善を図ること。

【解決手段】 高耐圧ダイオードを形成する SOI 基板として、酸化膜 12 上に高抵抗膜 13 を介して高抵抗シリコン層 15 が形成されたものを使用し、高抵抗シリコン層の表面に、アノードとしての n^+ 型層 17、カソードとしての p^+ 型層 19 をそれぞれ拡散形成する。



【特許請求の範囲】

【請求項1】絶縁膜と、

この絶縁膜上に形成された高抵抗膜と、

この高抵抗膜上に形成された半導体層とを具備してなることを特徴とする半導体基板

【請求項2】前記半導体層は、前記絶縁膜と素子分離領域とにより、複数の素子領域に分離されていることを特徴とする請求項1に記載の半導体基板。

【請求項3】絶縁膜と、

この絶縁膜上に形成された高抵抗膜と、

この高抵抗膜上に形成された第1の半導体層と、

この第1の半導体層の表面に選択的に形成された第1導電型で高不純物濃度の第2の半導体層と、

前記第1の半導体層の表面に前記第1の半導体層とは離れて選択的に形成された第2導電型で高不純物濃度の第3の半導体層とを具備してなることを特徴とする高耐圧半導体素子

【請求項4】絶縁膜と、

この絶縁膜上に形成された高抵抗膜と、

この高抵抗膜上に形成された第1の半導体層と、

この第1の半導体層の表面に選択的に形成された第1導電型で高不純物濃度の第2の半導体層と、

前記第1の半導体層の表面に前記第2の半導体層とは離れて選択的に形成された第2導電型で高不純物濃度の第3の半導体層と、

前記第1の半導体層に形成され、前記絶縁膜とともに、前記第1の半導体層を前記第2および第3の半導体層を含む部分と含まない部分に分離する素子分離体とを具備してなることを特徴とする高耐圧半導体素子。

【請求項5】前記素子分離体は、前記絶縁膜とともに誘電体分離を構成するもの、またはpn接合分離によるものであることを特徴とする請求項4に記載の高耐圧半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基板に係わり、特に高耐圧半導体素子に有効な半導体基板およびそれをを用いた高耐圧半導体素子に関する。

【0002】

【従来の技術】高耐圧半導体素子を分離する有力な方法として、誘電体分離がよく知られている。図6は、その様な誘電体分離を施した従来の高耐圧ダイオードの例である。図中、71はp⁺型シリコン基板であり、直接接着技術によってこれとp⁻型シリコン基板を接着した基板ウェハを用いてる。また、73は接着界面であり、72はこの接着界面部の酸化膜である。

【0003】この接着基板ウェハのp⁻型シリコン基板側を接着界面73に達する深さにエッチングして溝を掘ることにより島状p⁻型シリコン層74を形成し、溝の側面に酸化膜75を形成して、この溝には多結晶シリコ

ン膜76を埋め込む。

【0004】こうして酸化膜72、75により他の領域から分離された島状p⁻型シリコン層74の中央表面部にn⁺型層78、さらにその周辺にn⁻型層79を形成して、ダイオードが構成されている。

【0005】島状p⁻型シリコン層74の周辺部には、アノード電極を取出すためのp⁺型層80が形成されている。また、大電流を流せるようにするために、島状p⁻型シリコン層74の周囲を取囲むように、酸化膜72、75に沿ってp⁺型層77が設けられている。

【0006】このダイオードは、アノード・カソード間に逆バイアスを印加した時、空乏層はn⁺型層78から島状p⁻型層74に伸びる。空乏層先端がp⁺型層77に達するまで逆バイアスを大きくすると、パンチスルーを生じる。したがって、このダイオードの耐圧を十分高いものとするためには、n⁺型層78とp⁺型層77間の距離dを十分大きくとることが必要である。

【0007】具体的には、例えば、600Vの耐圧を得るためには、およそd=4.5μmが必要である。このようにp⁻型層74の厚みを大きくすると、素子分離のための溝もそれだけ深くすることが必要になり、特に横方向の誘電体分離を行うことが困難になる。

【0008】図7は、図6の構造において、p⁺型層77を省略したものである。

【0009】このようにすれば電流容量が小さくなるが、耐圧は図6のものに比べて少しは高くなる。しかし、この構造でも、p⁻型層74の厚みが十分大きくなければやはり十分な高耐圧は得られない。

【0010】その理由は以下の通りである。アノード・カソード間に逆バイアスが印加されて、空乏層がp⁻型層74の底部の酸化膜72に達すると、それ以上空乏層は伸びられない。

【0011】基板71は通常0Vであるから、アノード・カソード間電圧はp⁻型層74に生じた空乏層と酸化膜にかかるが、酸化膜72内の電界はシリコンと酸化膜の誘電率によって決まり、酸化膜中の電界はシリコンの3倍程度と決まってしまうので、高い電圧を酸化膜72に分担させることは難しい。したがって、p⁻型層74の厚みは十分に大きい必要がある。

【0012】

【発明が解決しようとする課題】上述の如く、従来のSOI基板を用いた高耐圧半導体素子では、高い電圧を酸化膜等の絶縁膜に分担させることは難しいので、十分な高耐圧化を図るためには空乏層が伸びる高抵抗半導体層を十分に厚くすることが必要となり、そうすると素子分離が技術的に難しくなるという問題があった。

【0013】本発明は、上記事情を考慮してなされたものであり、その目的とするところは、誘電率の比で決まることなく、絶縁膜に高い電圧を分担させることができる半導体基板およびそれをを用いた高耐圧半導体素子を提

供することにある。

【0014】

【課題を解決するための手段】

【構成】上記目的を達成するために、本発明に係る半導体基板（請求項1）は、絶縁膜と、この絶縁膜上に形成された高抵抗膜と、この高抵抗膜上に形成された半導体層と備えていることを特徴とする。

【0015】また、本発明に係る他の半導体基板（請求項2）は、上記半導体基板（請求項1）において、前記半導体層が、前記絶縁膜と素子分離領域とにより、複数の素子領域に分離されていることを特徴とする。

【0016】また、本発明に係る高耐圧導体素子（請求項3）は、絶縁膜と、この絶縁膜上に形成された高抵抗膜と、この高抵抗膜上に形成された第1の半導体層と、この第1の半導体層の表面に選択的に形成された第1導電型で高不純物濃度の第2の半導体層と、前記第1の半導体層の表面に前記第1の半導体層とは離れて選択的に形成された第2導電型で高不純物濃度の第3の半導体層とを備えていることを特徴とする。

【0017】また、本発明に係る他の高耐圧導体素子（請求項4）は、絶縁膜と、この絶縁膜上に形成された高抵抗膜と、この高抵抗膜上に形成された第1の半導体層と、この第1の半導体層の表面に選択的に形成された第1導電型で高不純物濃度の第2の半導体層と、前記第1の半導体層の表面に前記第2の半導体層とは離れて選択的に形成された第2導電型で高不純物濃度の第3の半導体層と、前記第1の半導体層に形成され、前記絶縁膜とともに、前記第1の半導体層を前記第2および第3の半導体層を含む部分と含まない部分に分離する素子分離体とを備えていることを特徴とする。

【0018】また、本発明に係る他の高耐圧導体素子（請求項5）は、上記高耐圧半導体素子（請求項4）において、前記素子分離体が、前記絶縁膜とともに誘電体分離を構成するもの、またはpn接合分離によるものであることを特徴とする。

【0019】【作用】本発明では、絶縁膜、高抵抗膜、半導体層が順次積層されているSOI基板を用いているので、高抵抗膜がない従来のSOI基板に比べて、半導体層にかかる電圧を絶縁膜に効果的に分担させることができる。これにより、従来よりも高耐圧の高耐圧半導体素子を実現できるようになる。また、従来と同程度の耐圧でよい場合には、半導体層を薄くできるので、素子の誘電体分離を容易に行なえるようになる。

【0020】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

【0021】（第1の実施形態）図1は、本発明の第1の実施形態に係るSOI基板を示す断面図である。図中、1はシリコン基板を示しており、このシリコン基板1上には酸化膜2を介して高抵抗膜3が設けられてい

る。この高抵抗膜3は、例えば、 $1 \times 10^8 \Omega \cdot \text{cm}$ 以上の高抵抗の半絶縁性多結晶シリコン（SIPOS）膜である。高抵抗膜3上には高耐圧半導体素子が形成される高抵抗シリコン層4が設けられている。

【0022】このように構成されたSOI基板において、高抵抗シリコン層4に電圧を印加すると、高抵抗膜3に高電位側から低電位側に微小な電流（リーク電流）が流れ、高抵抗膜3内に電位勾配が形成され、高抵抗膜3の電位はリーク電流で決まるので、酸化膜2にかかる電圧を大きくできる。

【0023】言い換えれば、この電位勾配に対応した量の電荷は、基板1と酸化膜2と高抵抗膜3とによって構成されたキャパシタに蓄積される。これにより、高抵抗シリコン層4の印加電圧を酸化膜2に効果的に分担させることができ、高抵抗シリコン層4にかかる電圧を低くできる。

【0024】したがって、従来と同程度の耐圧で良い場合には、高抵抗シリコン層4を薄くでき、高抵抗シリコン層4を容易に誘電体分離できるようになる。また、従来と同程度の厚さで良い場合には、耐圧の向上を図ることができる。さらには、誘電体分離を容易に行なえ、かつ耐圧の向上も図ることも可能となる。

【0025】（第2の実施形態）図2は、本発明の第2の実施形態に係る高耐圧ダイオードを示す断面図である。この高耐圧ダイオードは、第1の実施形態で説明したSOI基板に形成したものである。

【0026】図中、11はp⁺型シリコン基板を示しており、この上に酸化膜12、高抵抗膜13によりp⁺型シリコン基板11から分離され、酸化膜14により横方向に他の素子領域から分離された島状の高抵抗シリコン層15が形成されている。この高抵抗シリコン層15は、不純物濃度が十分に低いp⁻型またはn⁻型層である。

【0027】素子分離領域には多結晶シリコン膜16が埋め込まれている。高抵抗シリコン層15の表面中央部にカソード領域としての高不純物濃度のn⁺型層17が形成されている。

【0028】n⁺型層17の周囲にはこれと連続的に、エッジ・ブレイクダウンを防止するためのガードリングとしてのn⁻型層18が拡散形成されている。高抵抗シリコン層15の周辺部には、アノード電極を取り出すための高不純物濃度のp⁺型層19、20が拡散形成されている。

【0029】高抵抗シリコン層15の底部には高抵抗膜13に接して低不純物濃度のp⁻型層21が薄く形成されている。このp⁻型層21およびn⁻型層18は、その単位面積当たりの不純物総量が $0.1 \sim 3 \times 10^{12} / \text{cm}^2$ に設定されていることが好ましい。そして、p⁺型層19には第1の電極（アノード電極）22が、n⁺型層17には第2の電極（カソード電極）23がそれぞれ

れ設けられている。

【0030】このダイオードを製造するには、まず、 p^+ 型シリコン基板11と高抵抗シリコン層15に対応する高抵抗シリコン基板とを直接接着技術を用いて貼り合わせる。すなわち、2枚の基板を鏡面研磨しておき、その研磨面同士を清浄な雰囲気下で密着させ、所定の熱処理を加えることにより一体化する。

【0031】この際、高抵抗シリコン基板の接着面側には予め p^- 型層21を形成しておき、また、少なくとも一方の基板の接着面側には酸化膜12および高抵抗膜13を形成しておくことにより、図のように p^+ 型シリコン基板11と電気的に分離され、底部に p^- 型層21が形成された高抵抗シリコン層15が得られる。

【0032】次にフォトリソグラフィにより素子分離溝を形成し、島状に分離された高抵抗シリコン層15の側面に p^+ 型層20を拡散形成し、また酸化膜14を形成する。そして、分離溝内に多結晶シリコン膜16を埋め込んだ後、 n^+ 型層17、 n^- 型層18および p^+ 型層19を拡散形成し、電極22、23を形成する。

【0033】このように構成されたダイオードにおいて、第1の電極22と第2の電極23間に逆バイアスを印加すると、まず、素子表面中央の n^+ 型層17から高抵抗シリコン層15内に縦方向に空乏層が広がる。

【0034】高抵抗シリコン層15の厚みおよび p^- 型層21の不純物濃度が適当な値に設定されていれば、高抵抗シリコン層15が完全空乏化しても、その最大電界がアブラシェ・ブレイクダウンを生じる値以下に収まり、やがて底部の p^- 型層21が空乏化する。

【0035】そして、 p^- 型層21が空乏化すると、電極22の電位が電極23の直下までは伝わらなくなる。すなわち、空乏化した p^- 型層21に横方向に電位差が生じ、結局電極22、23間の電圧が高抵抗シリコン層15の厚み方向と p^- 型層21の横方向に分担される。このことは換言すれば、素子の印加電圧の一部が分離用の酸化膜12により有効に分担されるものといえる。これにより、第1の実施形態で説明した高抵抗膜13による効果をより高くできる。

【0036】したがって、本実施形態の高耐圧ダイオードは、高抵抗シリコン層15がそれ程厚いものでなくても十分な高耐圧特性を示す。また、高抵抗シリコン層15を薄くして、図のような誘電体分離構造の形成工程を容易にすることができる。

【0037】(第3の実施形態) 図3は、本発明の第3の実施形態に係る高耐圧ダイオードを示す断面図である。これは素子部の導電型を図2とは逆にした例である。酸化膜12、高抵抗膜13、酸化膜14により分離された高抵抗シリコン層31の表面中央部に p^+ 型層32が形成され、その周囲に p^- 型層33が形成され、周辺部に n^+ 型層34、35が形成されている。 n^+ 型層34には第1の電極36が、 p^+ 型層32には第2の電

極37がそれぞれ形成されてダイオードが構成されている。そして、高抵抗シリコン層31の底部の高抵抗膜13に接する部分に n^- 型層38が形成されている。このような高耐圧ダイオードでも第2の実施形態と全く同様に高耐圧特性を示す。

【0038】なお、本発明は上記実施形態に限定されるものではない。例えば、上記実施形態では、横方向の素子分離を絶縁膜により行なったが、 $p-n$ 接合分離により行っても良い。

【0039】図4、図5に、図3の高耐圧ダイオードにおいて、横方向の素子分離を $p-n$ 接合分離構造とした場合の断面図を示す。図4は高抵抗シリコン層31が p^- 型層の場合、図5は高抵抗シリコン層31が n^- 型層の場合を示している。

【0040】高抵抗シリコン層31が p^- 型層の場合、図4に示すように、表面から高抵抗膜13に達する深さの n^+ 型層41により横方向の素子分離が行なわれる。

【0041】また、高抵抗シリコン層31が n^- 型層の場合、図5に示すように、素子間に分離用の p^+ 型層42が必要である。また、 p^+ 型層42の周囲には高電界がかからないようにするため、 p^- 型層43が形成されている。また、図5において、酸化膜12に達する n^+ 型層41は必ずしも必要ではない。図2の高耐圧ダイオードについても、横方向については $p-n$ 接合分離構造とすることができ、その場合も本発明は有効である。その他、本発明の要旨を逸脱しない範囲で種々変形して実施することができる。

【0042】

【発明の効果】以上詳述したように本発明によれば、絶縁膜上に高抵抗膜を介して半導体層が設けられてなるSOI基板を用いることにより、半導体層にかかる電圧を絶縁膜に効果的に分担させることができる。これにより、高耐圧半導体素子の耐圧向上や、素子の誘電体分離を容易に行なえるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るSOI基板を示す断面図

【図2】本発明の第2の実施形態に係る高耐圧ダイオードを示す断面図

【図3】本発明の第3の実施形態に係る高耐圧ダイオードを示す断面図

【図4】図3の高耐圧ダイオードにおいて、横方向の素子分離を $p-n$ 接合分離構造とした場合の断面図

【図5】図3の高耐圧ダイオードにおいて、横方向の素子分離を $p-n$ 接合分離構造とした場合の他の断面図

【図6】従来の高耐圧ダイオードを示す断面図

【図7】従来の他の高耐圧ダイオードを示す断面図

【符号の説明】

1…シリコン基板

2…酸化膜

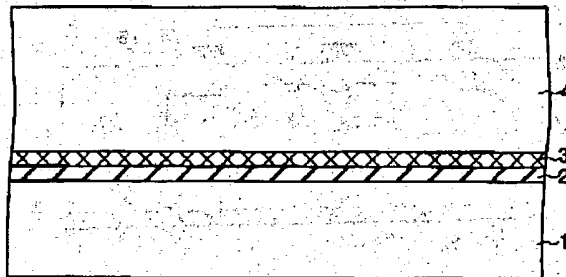
7

8

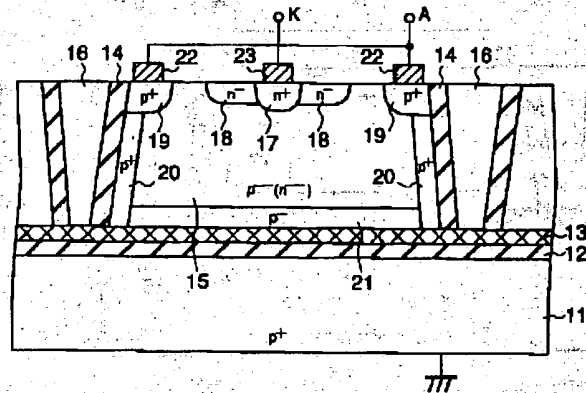
- 3...高抵抗膜
 4...高抵抗シリコン層
 11... p^+ 型シリコン基板
 12...酸化膜
 13...高抵抗膜
 14...酸化膜
 15...高抵抗シリコン層
 16...多結晶シリコン膜
 17... n^+ 型層
 18... n^- 型層
 19, 20... p^+ 型層
 21... p^- 型層

- 22...第1の電極
 23...第2の電極
 31...高抵抗シリコン層
 32... p^+ 型層
 33... p^- 型層
 34, 35... n^+ 型層
 36...第1の電極
 37...第2の電極
 38... n^- 型層
 41... n^+ 型層
 42... p^+ 型層
 43... p^- 型層

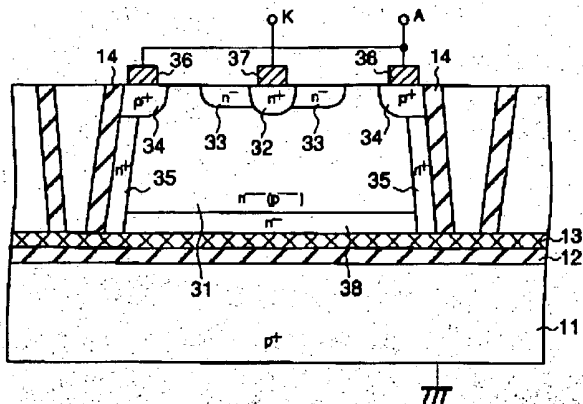
【図1】



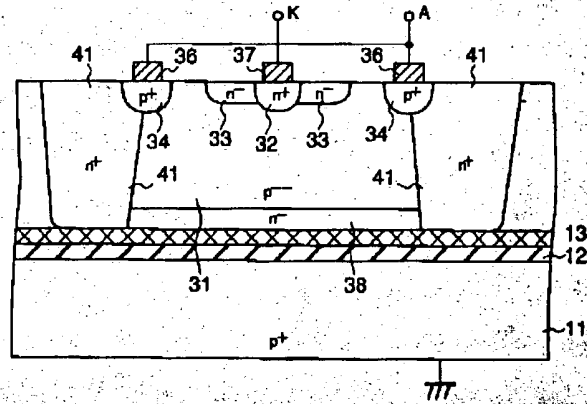
【図2】



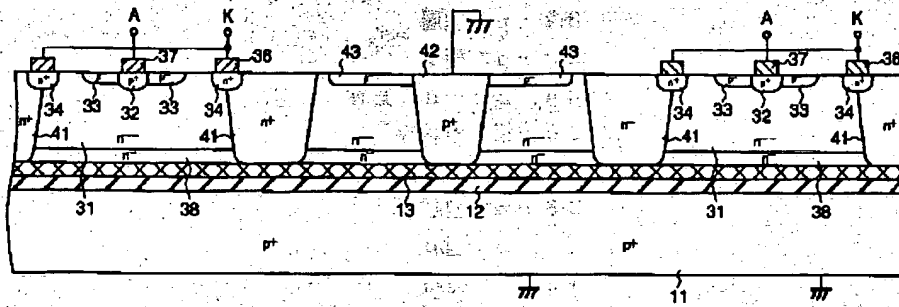
【図3】



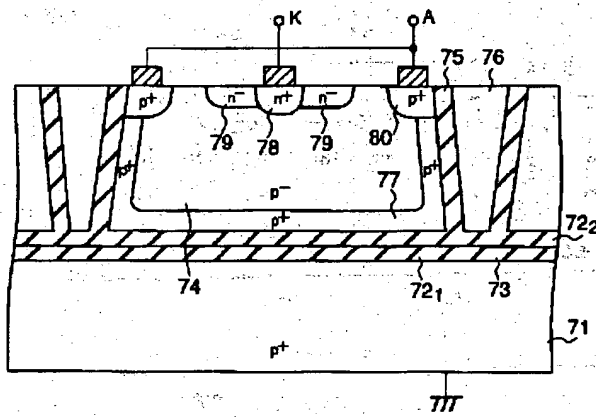
【図4】



【図5】



【図6】



【図7】

